PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7 : G11C 11/16 — A1

(11) Internationale Veröffentlichungsnummer: **WO 00/57423**

(43) Internationales Veröffentlichungsdatum: 28. September 2000 (28.09.00)

(21) Internationales Aktenzeichen: PCT/DE00/00590

(22) Internationales Anmeldedatum: 1. März 2000 (01.03.00)

(30) Prioritätsdaten:
199 12 523.6 19. März 1999 (19.03.99) DE

(71) Anmelder *(für alle Bestimmungsstaaten ausser US)*: INFINEON TECHNOLOGIES AG [DE/DE]; St.–Martin–Strasse 53, D–81541 München (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder *(nur für US)*: GOEBEL, Bernd [DE/DE]; Kurt–Eisner–Strasse 41, D–81735 München (DE). SCHWARZL, Siegfried [DE/DE]; Josef–Kyrein–Strasse 11B, D–85579 Neubiberg (DE).

(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D–80503 München (DE).

(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht
Mit internationalem Recherchenbericht.

(54) Title: STORAGE CELL ARRAY AND METHOD FOR THE PRODUCTION THEREOF

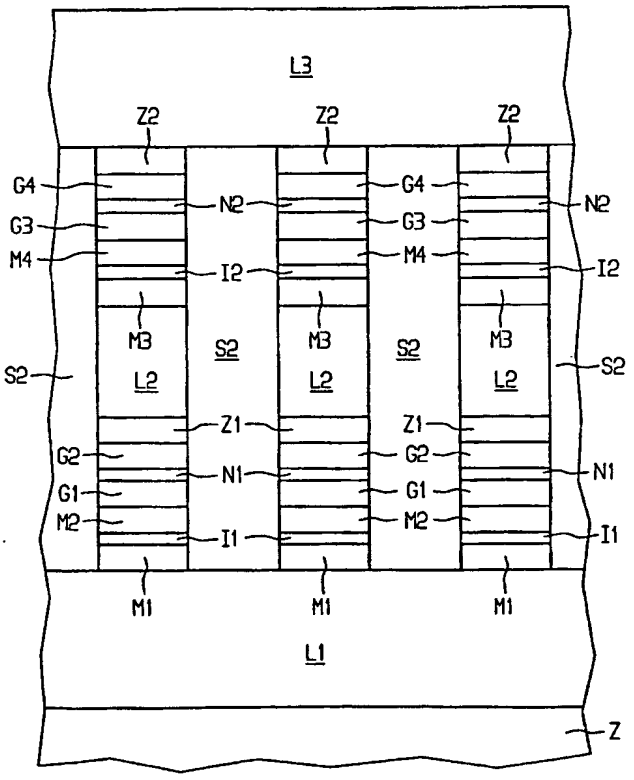
(54) Bezeichnung: SPEICHERZELLENANORDNUNG UND VERFAHREN ZU DEREN HERSTELLUNG

(57) Abstract

Layers of metal lines (L1, L2, L3) and layers of storage cells are mounted alternatingly on top of each other. The storage cells have a diode and a storage element connected in series relative thereto. The storage element has a layer structure with magnetoresistive effect. The diode has a layer structure consisting of at least two metal layers (M1, M2) and an insulating layer (I1) mounted between the latter. The layer structure of the storage element and the layer structure of the diode are placed one on top of the other. The metal lines (L1, L2) of each of the layers run parallel to each other. The metal lines (L1, L2) of adjacent layers run crosswise in relation to one another.

(57) Zusammenfassung

Lagen metallischer Leitungen (L1, L2, L3) und Lagen von Speicherzellen sind alternierend übereinander angeordnet. Die Speicherzellen weisen jeweils eine Diode und ein dazu in Reihe geschaltetes Speicherelement auf. Das Speicherelement weist eine Schichtstruktur mit magnetoresistivem Effekt auf. Die Diode weist eine Schichtstruktur auf, die aus mindestens zwei Metallschichten (M1, M2) und aus einer dazwischen angeordneten isolierenden Schicht (I1) besteht. Die Schichtstruktur des Speicherelements und die Schichtstruktur der Diode sind übereinander angeordnet. Die metallischen Leitungen (L1) von jeweils einer der Lagen verlaufen parallel zueinander. Die metallischen Leitungen (L1, L2) von zueinander benachbarten Lagen verlaufen quer zueinander.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	**ES**	Spanien	**LS**	Lesotho	**SI**	Slowenien
AM	Armenien	**FI**	Finnland	**LT**	Litauen	**SK**	Slowakei
AT	Österreich	**FR**	Frankreich	**LU**	Luxemburg	**SN**	Senegal
AU	Australien	**GA**	Gabun	**LV**	Lettland	**SZ**	Swasiland
AZ	Aserbaidschan	**GB**	Vereinigtes Königreich	**MC**	Monaco	**TD**	Tschad
BA	Bosnien-Herzegowina	**GE**	Georgien	**MD**	Republik Moldau	**TG**	Togo
BB	Barbados	**GH**	Ghana	**MG**	Madagaskar	**TJ**	Tadschikistan
BE	Belgien	**GN**	Guinea	**MK**	Die ehemalige jugoslawische Republik Mazedonien	**TM**	Turkmenistan
BF	Burkina Faso	**GR**	Griechenland			**TR**	Türkei
BG	Bulgarien	**HU**	Ungarn	**ML**	Mali	**TT**	Trinidad und Tobago
BJ	Benin	**IE**	Irland	**MN**	Mongolei	**UA**	Ukraine
BR	Brasilien	**IL**	Israel	**MR**	Mauretanien	**UG**	Uganda
BY	Belarus	**IS**	Island	**MW**	Malawi	**US**	Vereinigte Staaten von Amerika
CA	Kanada	**IT**	Italien	**MX**	Mexiko		
CF	Zentralafrikanische Republik	**JP**	Japan	**NE**	Niger	**UZ**	Usbekistan
CG	Kongo	**KE**	Kenia	**NL**	Niederlande	**VN**	Vietnam
CH	Schweiz	**KG**	Kirgisistan	**NO**	Norwegen	**YU**	Jugoslawien
CI	Côte d'Ivoire	**KP**	Demokratische Volksrepublik Korea	**NZ**	Neuseeland	**ZW**	Zimbabwe
CM	Kamerun			**PL**	Polen		
CN	China	**KR**	Republik Korea	**PT**	Portugal		
CU	Kuba	**KZ**	Kasachstan	**RO**	Rumänien		
CZ	Tschechische Republik	**LC**	St. Lucia	**RU**	Russische Föderation		
DE	Deutschland	**LI**	Liechtenstein	**SD**	Sudan		
DK	Dänemark	**LK**	Sri Lanka	**SE**	Schweden		
EE	Estland	**LR**	Liberia	**SG**	Singapur		

BNSDOCID: <WO_____0057423A1_I_>

Beschreibung

Speicherzellenanordnung und Verfahren zu deren Herstellung

Die Erfindung betrifft eine Speicherzellenanordnung mit Speicherelementen mit einer Schichtstruktur mit magnetoresistivem Effekt.

Aus der Technologieanalyse XMR-Technologien, Technologiefrüherkennung, Verfasser Stefan Mengel, Herausgeber VDI-Technologiezentrum Physikalische Technologien, sind Schichtstrukturen mit magnetoresistivem Effekt bekannt. Je nach Aufbau der Schichtstruktur wird unterschieden zwischen GMR-Element, TMR-Element, AMR-Element und CMR-Element.

Der Begriff GMR-Element wird in der Fachwelt für Schichtstrukturen verwendet, die mindestens zwei ferromagnetische Schichten und eine dazwischen angeordnete nicht magnetische leitende Schicht aufweisen und den sogenannten GMR-(giant-magnetoresistance) Effekt, das heißt einen im Vergleich zum AMR-(anisotropic-magnetoresistance) Effekt großen magnetoresistiven Effekt zeigen. Unter dem GMR-Effekt wird die Tatsache verstanden, daß der elektrische Widerstand des GMR-Elements abhängig davon ist, ob die Magnetisierungen in den beiden ferromagnetischen Schichten parallel oder antiparallel ausgerichtet sind.

Der Begriff TMR-Element wird in der Fachwelt für "Tunneling magnetoresistance"-Schichtstrukturen verwendet, die mindestens zwei ferromagnetische Schichten und eine dazwischen angeordnete isolierende, nicht magnetische Schicht aufweisen. Die isolierende Schicht ist dabei so dünn, daß es zu einem Tunnelstrom zwischen den beiden ferromagnetischen Schichten kommt. Diese Schichtstrukturen zeigen ebenfalls einen magnetoresistiven Effekt, der durch einen spinpolarisierten Tunnelstrom durch die zwischen den beiden ferromagnetischen Schichten angeordnete isolierende, nicht magnetische Schicht

bewirkt wird. Auch in diesem Fall ist der elektrische Widerstand des TMR-Elements abhängig davon, ob die Magnetisierungen in den beiden ferromagnetischen Schichten parallel oder antiparallel ausgerichtet sind.

Der AMR-Effekt äußert sich dadurch, daß der Widerstand in magnetisierten Leitern parallel und senkrecht zur Magnetisierungsrichtung verschieden ist. Er ist ein Volumeneffekt und tritt somit in ferromagnetischen Einfachschichten auf.

Ein weiterer Magnetowiderstandseffekt, der wegen seiner Größe ($\Delta R/R$ = 100 bis 400 % bei Raumtemperatur) Colossal Magnetoresistance Effekt genannt wird, erfordert wegen seiner hohen Koerzitivkräfte ein hohes Magnetfeld zum Umschalten zwischen den Magnetisierungszuständen.

In US 5 640 343 wird eine sogenannte MRAM-Speicherzellenanordnung beschrieben, bei der Speicherzellen zwischen zwei übereinander angeordneten Lagen metallischer Leitungen angeordnet sind. Die Speicherzellen weisen jeweils eine Diode und ein dazu in Reihe geschaltetes Speicherelement auf. Das Speicherelement weist eine Schichtstruktur mit magnetoresistivem Effekt auf. Die Diode ist eine pn-Diode oder eine Schottkydiode, die Silizium enthält. Die Schichtstruktur des Speicherelements und die Schichtstruktur der Diode sind übereinander angeordnet. Die metallischen Leitungen der ersten Lage verlaufen parallel zueinander. Die metallischen Leitungen der zweiten Lage verlaufen parallel zueinander und senkrecht zu den metallischen Leitungen der ersten Lage. Die Speicherzellen sind jeweils zwischen eine metallische Leitung der ersten Lage und eine metallische Leitung der zweiten Lage geschaltet. Die Schichtstruktur des Speicherelements besteht aus zwei ferromagnetischen Schichten und einer dazwischen angeordneten isolierenden Schicht. Der elektrische Widerstand des Speicherelements ist abhängig davon, ob die Magnetisierungsrichtungen der beiden ferromagnetischen Schichten parallel oder antiparallel zueinander sind. Zum Schreiben einer

Information auf eine Speicherzelle werden den metallischen Leitungen, die mit der Speicherzelle verbunden sind, Ströme eingeprägt. Dabei werden Spannungen so gewählt, daß kein Strom durch die Speicherzelle fließt. Die durch die Ströme erzeugten magnetischen Felder addieren sich im Bereich der Speicherzelle derart, daß die Magnetisierung einer der beiden magnetischen Schichten im Magnetfeld ausgerichtet wird. Die Magnetisierungsrichtung der anderen ferromagnetischen Schicht bleibt unverändert. Diese Ausrichtung stellt die Information dar. Zum Auslesen der Information wird die Spannung der metallische Leitung, die mit der Diode verbunden ist, gesenkt und die Spannung an der metallischen Leitung, die mit dem Speicherelement verbunden ist, erhöht. An metallischen Leitungen, die mit den übrigen Speicherelementen verbunden sind, liegt dieselbe Spannung an wie an der metallischen Leitung, die mit der Diode der auszulesenden Speicherzelle verbunden ist. An den metallischen Leitungen, die mit den übrigen Dioden verbunden sind, liegt dieselbe Spannung an, wie an der metallischen Leitung, die mit dem Speicherelement der auszulesenden Speicherzelle verbunden ist. Aufgrund der Dioden in den Speicherzellen kann nur Strom durch die auszulesende Speicherzelle fließen. Der Strom hat abhängig von der auf der Speicherzelle gespeicherten Information zwei diskrete Werte, die zwei Magnetisierungszuständen des Speicherelements entsprechen.

Der Erfindung liegt das Problem zugrunde, eine Speicherzellenanordnung mit Speicherelementen mit magnetoresistivem Effekt anzugeben, die mit im Vergleich zum Stand der Technik erhöhter Packungsdichte herstellbar ist. Ferner soll ein Verfahren zur Herstellung einer solchen Speicherzellenanordnung angegeben werden.

Dieses Problem wird durch eine Speicherzellenanordnung gelöst, bei der mindestens drei Lagen metallischer Leitungen und zwei Lagen von Speicherzellen vorgesehen sind, die alternierend übereinander angeordnet sind. Die Speicherzellen wei-

sen jeweils eine Diode und ein dazu in Reihe geschaltetes Speicherelement auf. Das Speicherelement weist eine Schichtstruktur mit magnetoresistivem Effekt auf. Die Diode weist eine Schichtstruktur auf, die aus mindestens zwei Metallschichten und aus einer dazwischen angeordneten isolierenden Schicht besteht. Die Schichtstruktur des Speicherelements und die Schichtstruktur der Diode sind übereinander angeordnet. Die metallischen Leitungen von jeweils einer der Lagen verlaufen parallel zueinander. Die metallischen Leitungen von zueinander benachbarten Lagen verlaufen quer zueinander. Die Speicherzellen sind jeweils zwischen eine metallische Leitung einer Lage und eine metallische Leitung einer dieser Lage benachbarten Lage geschaltet.

Das Problem wird ferner gelöst durch ein Verfahren zur Herstellung einer Speicherzellenanordnung, bei dem eine erste Lage metallischer Leitungen, die parallel zueinander verlaufen, erzeugt wird. Über der ersten Lage der metallischen Leitungen wird eine erste Lage von Speicherzellen so erzeugt, daß diese Speicherzellen mit den metallischen Leitungen der ersten Lage verbunden sind. Für die Speicherzellen der ersten Lage wird jeweils ein Speicherelement und eine dazu in Reihe geschaltete Diode erzeugt. Für die Diode wird eine Schichtstruktur erzeugt, die aus mindestens zwei Metallschichten und aus einer dazwischen angeordneten isolierenden Schicht besteht. Für das Speicherelement wird eine Schichtstruktur mit magnetoresistivem Effekt erzeugt. Die Schichtstruktur des Speicherelements und die Schichtstruktur der Diode werden übereinander erzeugt. Über der ersten Lage der Speicherzellen wird eine zweite Lage metallischer Leitungen, die parallel zueinander und quer zu den metallischen Leitungen der ersten Lage verlaufen, so erzeugt, daß die Speicherzellen der ersten Lage jeweils zwischen eine metallische Leitung der ersten Lage und eine metallische Leitung der zweiten Lage geschaltet sind. Über der zweiten Lage der metallischen Leitungen werden entsprechend den Speicherzellen der ersten Lage aufgebaute Speicherzellen einer zweiten Lage erzeugt. Über der zweiten

Lage der Speicherzellen wird eine dritte Lage metallischer Leitungen, die parallel zueinander und quer zu den metallischen Leitungen der zweiten Lage verlaufen, so erzeugt, daß die Speicherzellen der zweiten Lage jeweils zwischen eine metallische Leitung der zweiten Lage und eine metallische Leitung der dritten Lage geschaltet sind.

Da die Speicherzellen in mindestens zwei übereinander gestapelten Lagen angeordnet sind, sinkt der Flächenbedarf pro Speicherelement und die Packungsdichte der Speicherzellenanordnung wird erhöht. Je größer die Anzahl der Lagen der Speicherzellen, die übereinander gestapelt sind, desto höher ist die erzielbare Packungsdichte. Jede Lage von Speicherzellen ist dabei zwischen zwei Lagen metallischer Leitungen angeordnet. Die metallischen Leitungen der einen Lage verlaufen quer zu den metallischen Leitungen der anderen Lage. Die metallischen Leitungen sind jeweils mit minimalen Abmessungen und Abständen von einer minimalen, in der verwendeten Technologie herstellbaren Strukturgröße F herstellbar, so daß sich pro Lage ein Flächenbedarf pro Speicherzelle von $4F^2$ ergibt. Insgesamt ergibt sich in der Speicherzellenanordnung bei n Lagen ein Flächenbedarf von $4F^2/n$ pro Speicherzelle.

Die Diode ist eine Tunneldiode, bei der Elektronen durch die isolierende Schicht in eine Richtung leichter tunneln als in die andere. Zur Erzeugung der Diode sind keine hohen Temperaturen erforderlich, die metallische Leitungen, die unter der Diode liegen, zerstören könnten.

Das Vorsehen der Dioden verhindert, daß beim Auslesen von Information einer Speicherzelle einer Lage Ströme durch Speicherzellen einer dieser Lage benachbarten Lage fließen. Darüber hinaus bewirkt das Vorsehen der Dioden, daß ein Strom zwischen den metallischen Leitungen, die mit der auszulesenden Speicherzelle verbunden sind, ausschließlich durch die auszulesende Speicherzelle fließt. Dies ist vorteilhaft, da die Größe des Stroms dadurch unabhängig von auf anderen Spei-

cherzellen gespeicherten Informationen ist und lediglich die auszulesende Information wiedergibt.

Der Prozeßaufwand zur Erzeugung der Speicherzellenanordnung ist besonders klein, wenn eine Maske zur Erzeugung der metallischen Leitungen einer Lage und eine Maske zur Erzeugung der metallischen Leitungen einer benachbarten Lage zugleich der Erzeugung der zwischen diesen Lagen metallischer Leitungen angeordneten Speicherzellen dienen.

Beispielsweise wird eine erste leitende Schicht und darüber Schichten zur Erzeugung der ersten Lage der Speicherzellen erzeugt. Die Schichten zur Erzeugung der ersten Lage der Speicherzellen und die erste leitende Schicht werden mit Hilfe einer streifenförmigen ersten Maske so strukturiert, daß aus der ersten Schicht die erste Lage der metallischen Leitungen erzeugt wird. Anschließend wird isolierendes Material abgeschieden und planarisiert, so daß voneinander getrennte streifenförmige erste isolierende Strukturen erzeugt werden.

Eine zweite leitende Schicht und Schichten zur Erzeugung der zweiten Lage der Speicherzellen werden aufgebracht. Die Schichten zur Erzeugung der zweiten Lage der Speicherzellen, die zweite leitende Schicht und die Schichten zur Erzeugung der ersten Lage der Speicherzellen werden mit Hilfe einer streifenförmigen zweiten Maske so strukturiert, daß aus der zweiten Schicht die zweite Lage der metallischen Leitungen erzeugt wird, und daß aus den Schichten zur Erzeugung der ersten Lage der Speicherzellen die Speicherzellen der ersten Lage erzeugt werden. Die Speicherzellen der ersten Lage werden folglich in zwei Schritten durch Strukturierung der entsprechenden Schichten erzeugt. Der erste Schritt erfolgt bei der Erzeugung der ersten Lage der metallischen Leitungen und der zweite Schritt erfolgt bei der Erzeugung der zweiten Lage der metallischen Leitungen. Anschließend wird isolierendes Material abgeschieden und planarisiert, so daß voneinander

getrennte streifenförmige zweite isolierende Strukturen erzeugt werden.

Anschließend wird eine dritte leitende Schicht aufgebracht. Die dritte leitende Schicht und die Schichten zur Erzeugung der zweiten Lage der Speicherzellen werden streifenförmig so strukturiert, daß aus der dritten Schicht die dritte Lage der metallischen Leitungen erzeugt wird und daß aus den Schichten zur Erzeugung der zweiten Lage der Speicherzellen die Speicherzellen der zweiten Lage erzeugt werden. Die Speicherzellen der zweiten Lage werden folglich durch Strukturierung der entsprechenden Schichten in zwei Prozeßschritten erzeugt. Der erste Schritt erfolgt bei der Erzeugung der zweiten Lage der metallischen Leitungen und der zweite Schritt erfolgt bei der Erzeugung der dritten Lage der metallischen Leitungen. Auf diese Weise können beliebig viele Lagen von Speicherzellen und metallischen Leitungen erzeugt werden.

Besonders gute elektrische Eigenschaften der Diode lassen sich erzielen, wenn die Differenz der Austrittsarbeit der einen Metallschicht und der Austrittsarbeit der anderen Metallschicht möglichst groß ist. In diesem Fall ist die Asymmetrie der Tunneleffekte in der Diode besonders groß, d.h. Elektronen tunneln in die eine Richtung wesentlich leichter als in die andere. Aluminium hat eine besonders niedrige Austrittsarbeit. Die eine Metallschicht besteht folglich vorzugsweise aus Aluminium. Andere Materialien mit niedriger Austrittsarbeit sind jedoch ebenfalls geeignet. Die andere Metallschicht besteht vorzugsweise aus Platin, da Platin eine besonders hohe Austrittsarbeit hat. Andere Materialien mit hoher Austrittsarbeit, wie z.B. Wolfram, sind jedoch ebenfalls geeignet.

Zur Erzeugung der isolierenden Schicht kann das Aluminium oxidiert werden.

Die metallischen Leitungen können zum Beispiel aus Cu, AlSiCu oder Metallsilizid bestehen.

Zur Prozeßvereinfachung ist es vorteilhaft, wenn eine der zwei Metallschichten der Diode Teil einer der metallischen Leitungen ist. In diesem Fall bestehen die metallischen Leitungen vorzugsweise aus Aluminium.

Zwischen der Schichtstruktur der Diode und der Schichtstruktur des Speicherelements kann eine Diffusionsbarriere aus zum Beispiel TiN angeordnet sein.

Als Speicherelement sind alle bekannten TMR-Elemente und GMR-Elemente geeignet. Darüber hinaus sind alle XMR-Elemente geeignet, die zwei Magnetisierungszustände mit unterschiedlichem Widerstand aufweisen, zwischen denen durch Anlegen eines Magnetfeldes, dessen Höhe für die Speicheranwendung verträglich ist, hin- und hergeschaltet werden kann.

Vorzugsweise besteht die Schichtstruktur des Speicherelements mindestens aus zwei magnetischen Schichten und einer dazwischen angeordneten nichtmagnetischen Schicht. Die Speicherelemente weisen jeweils zwei Magnetisierungszustände auf.

Die nichtmagnetische Schicht ist vorzugsweise eine isolierende Schicht (TMR-Element), weil dadurch höhere Elementwiderstände (= 100 kΩ) erzielbar sind, die hinsichtlich Leistungsverbrauch und Signal/Rauschverhältnis günstiger sind. Als Materialien für die magnetischen Schichten eignen sich zum Beispiel Ni, Fe, Co, Cr, Mn, Gd, Dy und Legierungen daraus, wie NiFe, NiFeCo, CoFe, CoCrFe, sowie MuBi, BiFe, CoSm, CoPt, CoMnB, CoFeB. Als isolierende Materialien für die nichtmagnetische Schicht eignen sich zum Beispiel Al_2O_3, MgO, NiO, HfO_2, TiO_2, NbO, SiO_2 und DLC (Diamond-like carbon). Als leitende Materialien für die nichtmagnetische Schicht eignen sich zum Beispiel Cu oder Ag.

Die Dicke der magnetischen Schichten beträgt vorzugsweise zwischen 5nm und 10 nm. Die Dicke der nichtmagnetischen Schicht liegt vorzugsweise im Bereich zwischen 1nm und 3nm. Die Speicherelemente weisen vorzugsweise Abmessungen im Bereich zwischen 50nm und 150nm auf. Sie können unter anderem quadratisch oder langgestreckt ausgestaltet sein.

Zur Erhöhung der Prozeßsicherheit des Verfahrens ist es vorteilhaft, zwischen der Schichtstruktur der Speicherzelle und einer darauf angeordneten metallischen Leitung eine Zwischenschicht anzuordnen. Die Zwischenschicht verhindert eine Beschädigung der Schichtstrukturen der Speicherzelle beim Planarisieren des isolierenden Materials zur Erzeugung der isolierenden Strukturen. Beim Planarisieren wird die Zwischenschicht freigelegt und kann auch etwas abgetragen werden. Die Zwischenschicht kann darüber hinaus zugleich als Diffusionsbarriere wirken.

Die Schichtstruktur des Speicherelements kann auf der Schichtstruktur der Diode angeordnet sein. Alternativ ist die Schichtstruktur der Diode auf der Schichtstruktur des Speicherelements angeordnet.

Im folgenden wird ein mögliches Betriebsverfahren der Speicherzellenanordnung beschreiben.

Zum Schreiben von Information auf eine Speicherzelle werden den mit der Speicherzelle verbundenen metallischen Leitungen Ströme eingeprägt. Ein dadurch erzeugtes Magnetfeld ist im Bereich der Speicherzelle größer als in Bereichen der übrigen Speicherzellen. Das Magnetfeld ist im Bereich der Speicherzelle so groß, daß die Magnetisierung der magnetisch weicheren der beiden magnetischen Schichten des zugehörigen Speicherelements sich im Magnetfeld ausrichtet. Die Magnetisierungsrichtung der magnetisch härteren der beiden magnetischen Schichten bleibt unverändert. Das Magnetfeld wird entsprechend der zu schreibenden Information so eingestellt, daß die

Magnetisierungsrichtung der magnetisch weichen Schicht parallel oder antiparallel zur Magnetisierungsrichtung der magnetisch harten Schicht ist. Die Speicherzelle kann folglich zwei verschiedene Magnetisierungszustände einnehmen.

Zum Auslesen der Information der Speicherzelle werden an den zugehörigen metallischen Leitungen Spannungen derart angelegt, daß ein Strom durch die Speicherzelle fließt. Die Höhe des Stroms ist abhängig vom Magnetisierungszustand der Speicherzelle und folglich abhängig von der gespeicherten Information.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispieles, das in den Figuren dargestellt ist, näher erläutert.

Figur 1 zeigt einen Querschnitt durch ein Substrat mit einem Zwischenoxid, nachdem eine erste Lage metallischer Leitungen, eine erste Metallschicht, eine isolierende Schicht, eine zweite Metallschicht, eine erste magnetische Schicht, eine nichtmagnetische Schicht, eine zweite magnetische Schicht, eine erste Zwischenschicht und erste isolierende Strukturen erzeugt wurden.

Figur 2a zeigt den Querschnitt aus Figur 1, nachdem eine zweite Lage metallischer Leitungen, eine dritte Metallschicht, eine zweite isolierende Schicht, eine vierte Metallschicht, eine dritte magnetische Schicht, eine zweite nichtmagnetische Schicht, eine vierte magnetische Schicht, eine zweite Zwischenschicht und zweite isolierende Strukturen erzeugt wurden.

Figur 2b zeigt einen zum Querschnitt aus Figur 2a senkrechten Querschnitt durch das Substrat nach den Prozeßschritten aus Figur 2a.

BNSDOCID: <WO_____0057423A1_I_>

Figur 3a zeigt den Querschnitt aus Figur 2a, nachdem eine dritte Lage metallischer Leitungen erzeugt wurden.

Figur 3b zeigt den Querschnitt aus Figur 2b nach den Prozeßschritten aus Figur 3a.

Die Figuren sind nicht maßstabsgerecht.

In einem Ausführungsbeispiel ist ein Substrat vorgesehen, in dem Halbleiterbauelemente (nicht dargestellt) angeordnet sind und das von einem Zwischenoxid Z bedeckt ist (siehe Figur 1). Die Halbleiterbauelemente können Teil einer Peripherie einer zu erzeugenden Speicherzellenanordnung sein.

Zur Erzeugung einer ersten leitenden Schicht wird Kupfer in einer Dicke von ca. 500 nm abgeschieden. Zur Erzeugung einer ersten Metallschicht M1 wird Aluminium in einer Dicke von ca. 10 nm abgeschieden. Durch thermische Oxidation wird eine ca. 3 nm dicke erste isolierende Schicht I1 aus Aluminiumoxid erzeugt. Zur Erzeugung einer zweiten Metallschicht M2 wird Platin in einer Dicke von ca. 10 nm abgeschieden. Anschließend wird eine ca. 10 nm dicke erste Diffusionsbarriere (nicht dargestellt) aus Titannitrid abgeschieden. Zur Erzeugung einer ersten magnetischen Schicht G1 wird Kobalt in einer Dicke von ca. 10 nm abgeschieden. Zur Erzeugung einer ca. 3 nm dicken ersten nichtmagnetischen Schicht M1 wird Aluminium abgeschieden und durch thermische Oxidation aufoxidiert. Zur Erzeugung einer zweiten magnetischen Schicht G2 wird NiFe in einer Dicke von ca. 10 nm abgeschieden. Zur Erzeugung einer ersten Zwischenschicht Z1 wird Titannitrid in einer Dicke von ca. 20 nm abgeschieden (siehe Figur 1).

Mit Hilfe einer streifenförmigen ersten Fotolackmaske (nicht dargestellt), deren Streifen ca. 150 nm breit sind und Abstände von ca. 150 nm voneinander aufweisen, werden die erste Zwischenschicht Z1, die zweite magnetische Schicht G2, die erste nichtmagnetische Schicht N1, die erste magnetische

Schicht G1, die erste Diffusionsbarriere, die zweite Metallschicht M2, die erste isolierende Schicht I1 und die erste Metallschicht M1 durch Sputtern mit Argon geätzt. Anschließend wird Kupfer mit zum Beispiel $BCl_3 + Cl_2 + CH_4$ geätzt, so daß aus der ersten leitenden Schicht eine erste Lage metallischer Leitungen L1 erzeugt wird (siehe Figur 1). Die erste Fotolackmaske wird entfernt.

Zur Erzeugung von ersten isolierenden Strukturen S1 wird SiO_2 in einer Dicke von ca. 100 nm abgeschieden und durch chemisch-mechanisches Polieren planarisiert, bis die erste Zwischenschicht Z1 freigelegt wird (siehe Figur 1). Die erste Zwischenschicht Z1 wird dabei um ca. 10 nm abgetragen.

Zur Erzeugung einer zweiten leitenden Schicht wird Kupfer in einer Dicke von ca. 500 nm abgeschieden. Zur Erzeugung einer dritten Metallschicht M3 wird Aluminium in einer Dicke von ca. 10 nm abgeschieden. Durch thermische Oxidation wird eine ca. 3 nm dicke zweite isolierende Schicht I2 aus Aluminiumoxid erzeugt. Zur Erzeugung einer vierten Metallschicht M4 wird Platin in einer Dicke von ca. 10 nm abgeschieden. Zur Erzeugung einer zweiten Diffusionsbarriere (nicht dargestellt) wird Titannitrid in einer Dicke von ca. 10 nm abgeschieden. Zur Erzeugung einer dritten magnetischen Schicht G3 wird Kobalt in einer Dicke von ca. 10 nm abgeschieden. Zur Erzeugung einer ca. 3 nm dicken zweiten nichtmagnetischen Schicht N2 wird Aluminium abgeschieden und durch thermische Oxidation aufoxidiert. Zur Erzeugung einer vierten magnetischen Schicht G4 wird NiFe in einer Dicke von ca. 10 nm abgeschieden. Zur Erzeugung einer zweiten Zwischenschicht Z2 wird TiN in einer Dicke von ca. 20 nm abgeschieden (siehe Figuren 2a und 2b).

Mit Hilfe einer zweiten streifenförmigen Fotolackmaske (nicht dargestellt), deren Streifen ca. 150 nm breit sind, quer zu den Streifen der ersten Fotolackmaske verlaufen und Abstände von ca. 150 nm voneinander aufweisen, werden die zweite Zwi-

BNSDOCID: <WO_____0057423A1_I_>

schenschicht Z2, die vierte magnetische Schicht G4, die zweite nichtmagnetische Schicht N2, die dritte magnetische Schicht G3, die zweite Diffusionsbarriere, die vierte Metallschicht M4, die zweite isolierende Schicht I2 und die dritte Metallschicht M3 durch Sputtern mit Argon geätzt. Anschließend wird die zweite leitende Schicht mit zum Beispiel BCl_3 + Cl_2 + CH_4 geätzt, so daß eine zweite Lage metallischer Leitungen L2 erzeugt wird (siehe Figuren 2a und 2b).

Anschließend werden die erste Zwischenschicht Z1, die zweite magnetische Schicht G2, die erste nichtmagnetische Schicht N1, die erste magnetische Schicht G1, die erste Diffusionsbarriere, die zweite Metallschicht M2, die erste isolierende Schicht I1 und die erste Metallschicht M1 durch Sputtern mit Argon geätzt. Dadurch entstehen aus der zweiten magnetischen Schicht G2, der ersten nichtmagnetischen Schicht N1 und der ersten magnetischen Schicht G1 voneinander getrennte Schichtstrukturen von Speicherelementen einer ersten Lage von Speicherzellen. Aus der zweiten Metallschicht M2, der ersten isolierenden Schicht I1 und der ersten Metallschicht M1 entstehen Schichtstrukturen von Dioden der ersten Lage der Speicherzellen. Eine Speicherzelle der ersten Lage umfaßt eine Diode und ein Speicherelement, deren Schichtstrukturen übereinander angeordnet sind.

Die zweite Fotolackmaske wird entfernt.

Zur Erzeugung von zweiten isolierenden Strukturen S2 wird SiO_2 in einer Dicke von ca. 100 nm abgeschieden und durch chemisch-mechanisches Polieren planarisiert, bis die zweite Zwischenschicht Z2 freigelegt wird. Die zweite Zwischenschicht Z2 wird dabei ca. 10 nm abgetragen.

Zur Erzeugung einer dritten leitenden Schicht wird Kupfer in einer Dicke von ca. 500 nm abgeschieden.

Mit Hilfe einer dritten streifenförmigen Fotolackmaske (nicht dargestellt), die der ersten Fotolackmaske entspricht, wird mit zum Beispiel BCl_3 + CO_2 + CH_4 Kupfer geätzt, so daß aus der dritten leitenden Schicht eine dritte Lage metallischer Leitungen L3 erzeugt wird (siehe Figuren 3a und 3b).

Anschließend werden die zweite Zwischenschicht Z2, die vierte magnetische Schicht G4, die zweite nichtmagnetische Schicht N2, die dritte magnetische Schicht G3, die zweite Diffusionsbarriere, die vierte Metallschicht M4, die zweite isolierende Schicht I2 und die dritte Metallschicht M3 durch Sputtern mit Argon geätzt. Aus der vierten magnetischen Schicht G4, der zweiten nichtmagnetischen Schicht N2 und der dritten magnetischen Schicht G3 entstehen dadurch voneinander getrennte Schichtstrukturen von Speicherelementen einer zweiten Lage von Speicherzellen. Aus der vierten Metallschicht M4, der zweiten isolierenden Schicht I2 und der dritten Metallschicht M3 entstehen Schichtstrukturen der Dioden der Speicherzellen der zweiten Lage. Eine Speicherzelle der zweiten Lage umfaßt eine Diode und ein Speicherelement, deren Schichtstrukturen übereinander angeordnet sind.

Durch das Verfahren wird eine MRAM-Speicherzellenanordnung erzeugt mit zwei übereinander angeordneten Lagen von Speicherzellen.

Es sind viele Variationen des Ausführungsbeispiels denkbar, die ebenfalls im Rahmen der Erfindung liegen. Insbesondere können Abmessungen der beschriebenen Schichten und Masken nach Belieben an die jeweiligen Erfordernisse angepaßt werden. Dasselbe gilt für die Wahl von Materialien.

Die metallischen Leitungen L1, L2, L3 können statt aus Kupfer aus Aluminium erzeugt werden. In diesem Fall wirken als untere Metallschichten der Dioden Teile der metallischen Leitungen. Auf die Erzeugung von separaten Metallschichten M1, M3 kann verzichtet werden.

BNSDOCID: <WO_____0057423A1_I_>

Es können mehr als drei Lagen metallischer Leitungen und mehr als zwei Lagen von Speicherzellen erzeugt werden, die alternierend übereinander angeordnet sind.

Patentansprüche

1. Speicherzellenanordnung,
- bei der mindestens drei Lagen metallischer Leitungen (L1, L2, L3) und zwei Lagen von Speicherzellen vorgesehen sind, die alternierend übereinander angeordnet sind,
- bei der die Speicherzellen jeweils eine Diode und ein dazu in Reihe geschaltetes Speicherelement aufweisen,
- bei der das Speicherelement eine Schichtstruktur mit magnetoresistivem Effekt aufweist,
- bei der die Diode eine Schichtstruktur aufweist, die aus mindestens zwei Metallschichten (M1, M2)und aus einer dazwischen angeordneten isolierenden Schicht (I1) besteht,
- bei der die Schichtstruktur des Speicherelements und die Schichtstruktur der Diode übereinander angeordnet sind,
- bei der die metallischen Leitungen (L1) von jeweils einer der Lagen parallel zueinander verlaufen,
- bei der die metallischen Leitungen (L1, L2) von zueinander benachbarten Lagen quer zueinander verlaufen,
- bei der die Speicherzellen jeweils zwischen eine metallische Leitung (L1, L2) einer Lage und eine metallische Leitung (L2, L3) einer dieser Lage benachbarten Lage geschaltet sind.

2. Speicherzellenanordnung nach Anspruch 1,
- bei der eine der zwei Metallschichten (M1) der Diode Teil einer der metallischen Leitungen (L1) ist.

3. Speicherzellenanordnung nach Anspruch 1 oder 2,
- bei der die Schichtstruktur des Speicherelements mindestens aus zwei magnetischen Schichten (G1, G2) und einer dazwischen angeordneten nichtmagnetischen Schicht (N1) besteht.

4. Verfahren zur Erzeugung einer Speicherzellenanordnung,
- bei dem eine erste Lage metallischer Leitungen (L1), die parallel zueinander verlaufen, erzeugt wird,

BNSDOCID: <WO_____0057423A1_I_>

- bei dem über der ersten Lage der metallischen Leitungen (L1) eine erste Lage von Speicherzellen so erzeugt wird, daß die Speicherzellen der ersten Lage mit den metallischen Leitungen (L1) der ersten Lage verbunden sind,
- bei dem für die Speicherzellen der ersten Lage jeweils eine Speicherelement und eine dazu in Reihe geschaltete Diode erzeugt werden,
- bei dem für die Diode eine Schichtstruktur erzeugt wird, die aus mindestens zwei Metallschichten (M1, M2) und aus einer dazwischen angeordneten isolierenden Schicht (I1) besteht,
- bei dem für das Speicherelement eine Schichtstruktur mit magnetoresistivem Effekt erzeugt wird,
- bei dem die Schichtstruktur des Speicherelements und die Schichtstruktur der Diode übereinander erzeugt werden,
- bei dem über der ersten Lage der Speicherzellen eine zweite Lage metallischer Leitungen (L2), die parallel zueinander und quer zu den metallischen Leitungen (L1) der ersten Lage verlaufen, so erzeugt wird, daß die Speicherzellen der ersten Lage jeweils zwischen eine metallische Leitung (L1) der ersten Lage und eine metallische Leitung (L2) der zweiten Lage geschaltet sind,
- bei dem über der zweiten Lage der metallischen Leitungen (L2) entsprechend den Speicherzellen der ersten Lage aufgebaute Speicherzellen einer zweiten Lage erzeugt werden,
- bei dem über der zweiten Lage der Speicherzellen eine dritte Lage metallischer Leitungen (L3), die parallel zueinander und quer zu den metallischen Leitungen (L2) der zweiten Lage verlaufen, so erzeugt wird, daß die Speicherzellen der zweiten Lage jeweils zwischen eine metallische Leitung (L2) der zweiten Lage und eine metallische Leitung (L3) der dritten Lage geschaltet sind.

5. Verfahren nach Anspruch 4,

- bei dem eine erste leitende Schicht und darüber Schichten (M1, I1, M2, G1, N1, G2) zur Erzeugung der ersten Lage der Speicherzellen erzeugt werden,

- bei dem die Schichten (M1, I1, M2, G1, N1, G2) zur Erzeugung der ersten Lage der Speicherzellen und die erste leitende Schicht mit Hilfe einer ersten streifenförmigen Maske so strukturiert werden, daß aus der ersten Schicht die erste Lage der metallischen Leitungen (L1) erzeugt wird,
- bei dem isolierendes Material abgeschieden und planarisiert wird, so daß voneinander getrennte streifenförmige erste isolierende Strukturen (S1) erzeugt werden,
- bei dem eine zweite leitende Schicht und darüber Schichten (M3, I2, M4, G3, N2, G4) zur Erzeugung der zweiten Lage der Speicherzellen aufgebracht werden,
- bei dem die Schichten (M3, I2, M4, G3, N2, G4) zur Erzeugung der zweiten Lage der Speicherzellen, die zweite leitende Schicht und die Schichten (M1, I1, M2, G1, N1, G2) zur Erzeugung der ersten Lage der Speicherzellen mit Hilfe einer streifenförmigen zweiten Maske so strukturiert werden, daß aus der zweiten Schicht die zweite Lage der metallischen Leitungen (L2) erzeugt wird, und daß aus den Schichten (M1, I1, M2, G1, N1, G2) zur Erzeugung der ersten Lage der Speicherzellen die Speicherzellen der ersten Lage erzeugt werden,
- bei dem isolierendes Material abgeschieden und planarisiert wird, so daß voneinander getrennte streifenförmige zweite isolierende Strukturen (S2) erzeugt werden,
- bei dem eine dritte leitende Schicht aufgebracht wird,
- bei dem die dritte Schicht und die Schichten (M3, I2, M4, G3, N2, G4) zur Erzeugung der zweiten Lage der Speicherzellen mit Hilfe einer streifenförmigen dritten Maske so strukturiert werden, daß aus der dritten Schicht die dritte Lage der metallischen Leitungen (L3) erzeugt wird, und daß aus den Schichten (M3, I2, M4, G3, N2, G4) zur Erzeugung der zweiten Lage der Speicherzellen die Speicherzellen der zweiten Lage erzeugt werden.

6. Verfahren nach Anspruch 4 oder 5,
- bei dem eine der zwei Metallschichten (M1) der Diode als Teil einer der metallischen Leitungen (L1) erzeugt wird.

7. Verfahren nach einem der Ansprüche 4 bis 6,
- bei dem für die Schichtstruktur des Speicherelements mindestens zwei magnetische Schichten (G1, G2) und eine dazwischen angeordnete nichtmagnetische Schicht (N1) erzeugt werden.

FIG 1

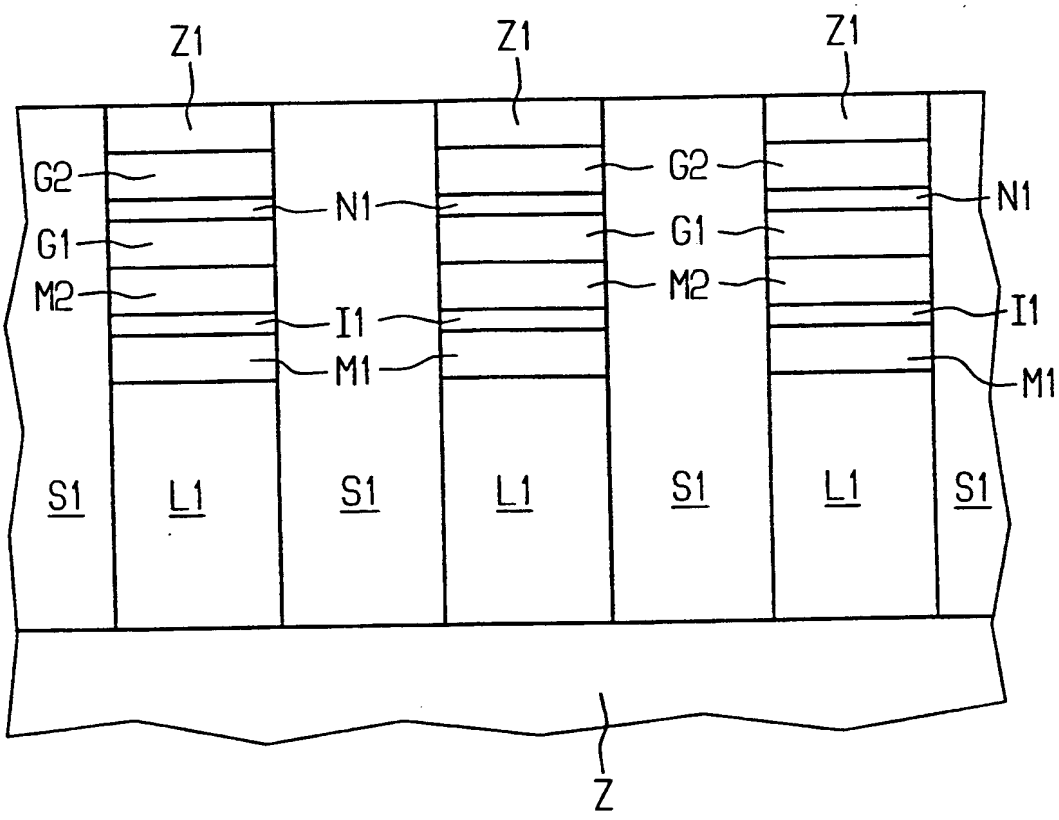


FIG 2A

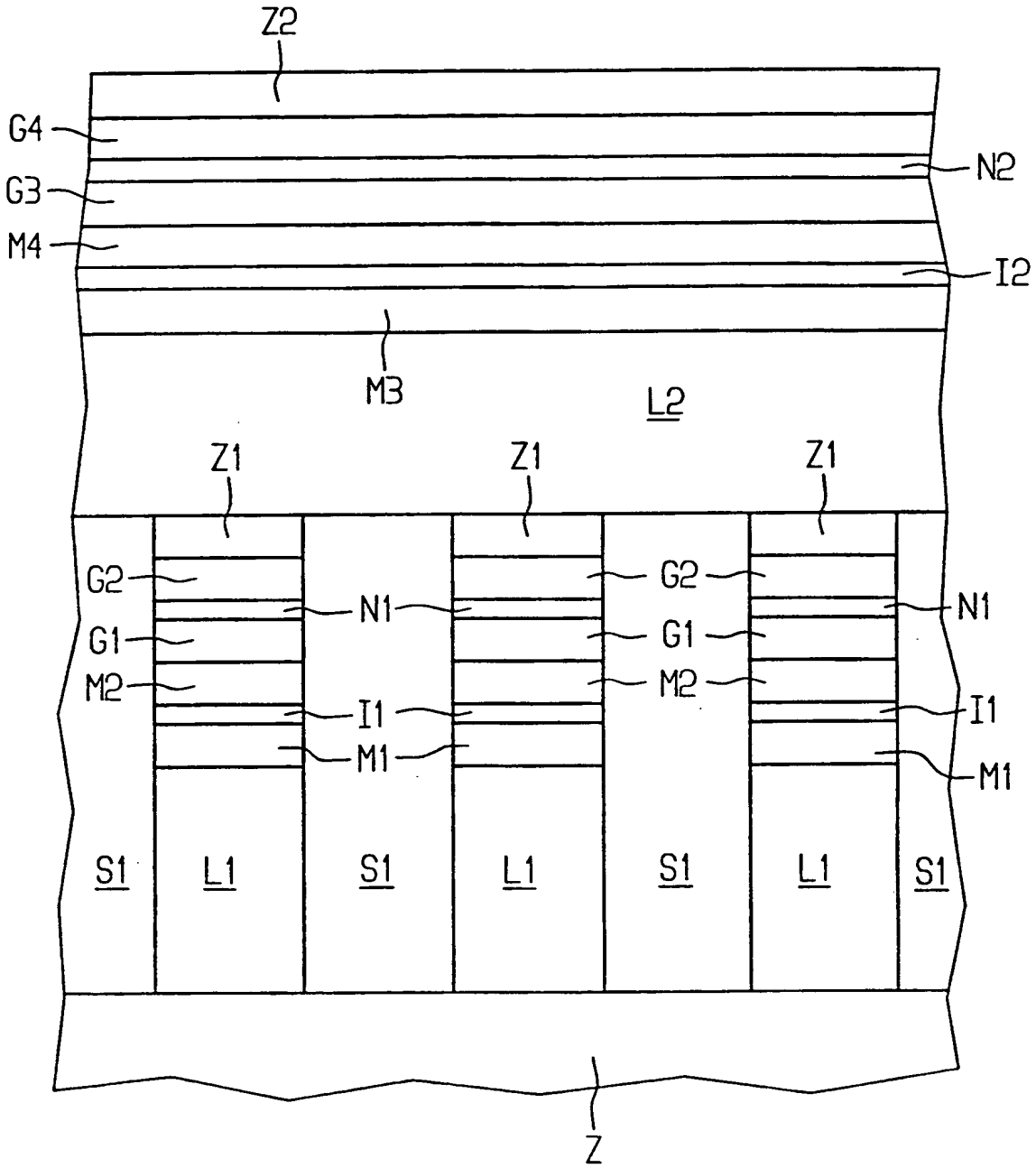

Z2
G4
G3
M4
N2
I2
M3
L2
Z1
Z1
Z1
G2
N1
G1
M2
I1
M1
G2
N1
G1
M2
I1
M1
S1
L1
S1
L1
S1
L1
S1
Z

FIG 2B

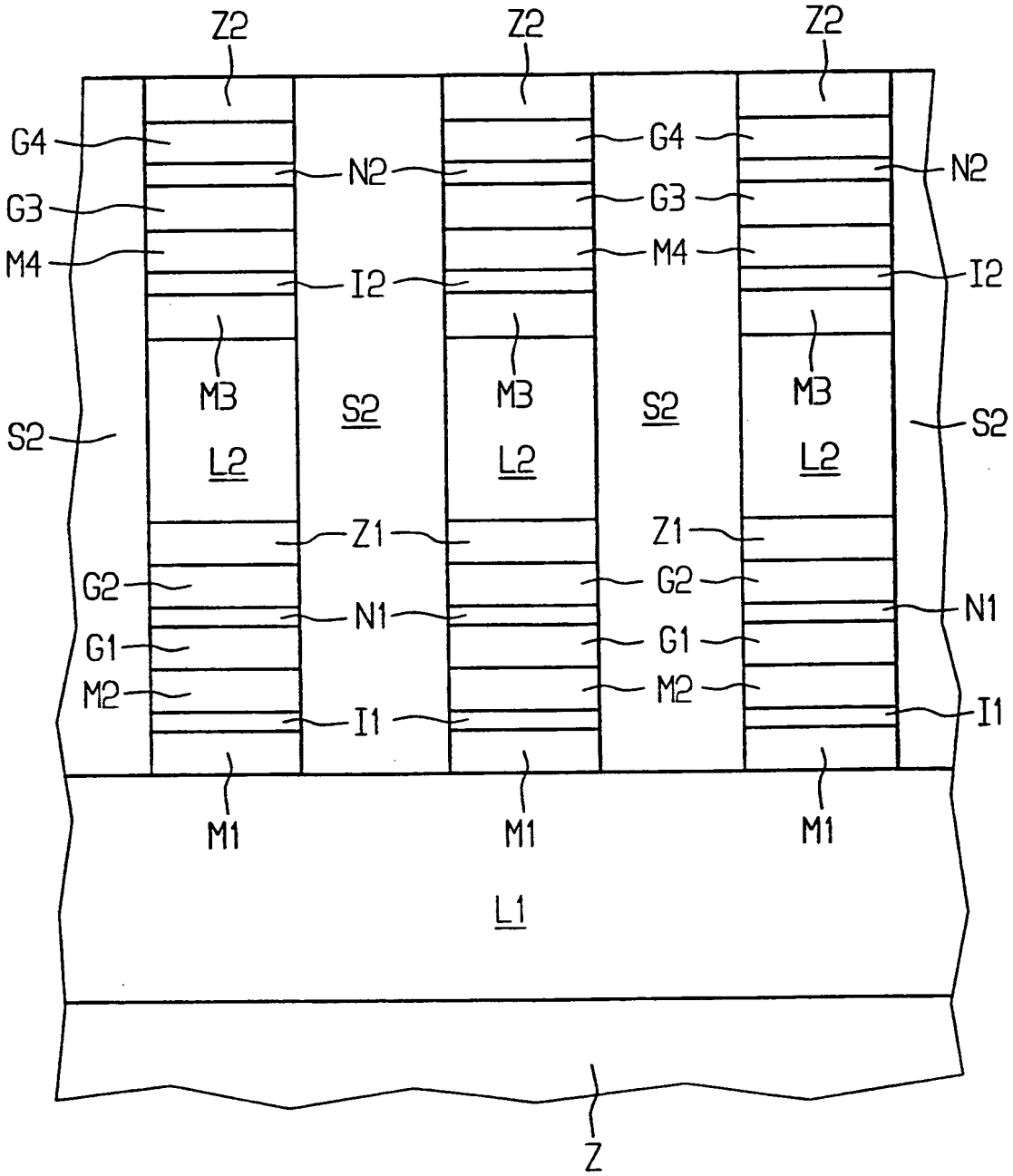

Z2
Z2
Z2
G4
N2
G4
N2
G3
G3
M4
M4
I2
I2
M3
M3
M3
S2
S2
S2
S2
L2
L2
L2
Z1
Z1
G2
G2
N1
N1
G1
G1
M2
M2
I1
I1
M1
M1
M1
L1
Z

FIG 3A

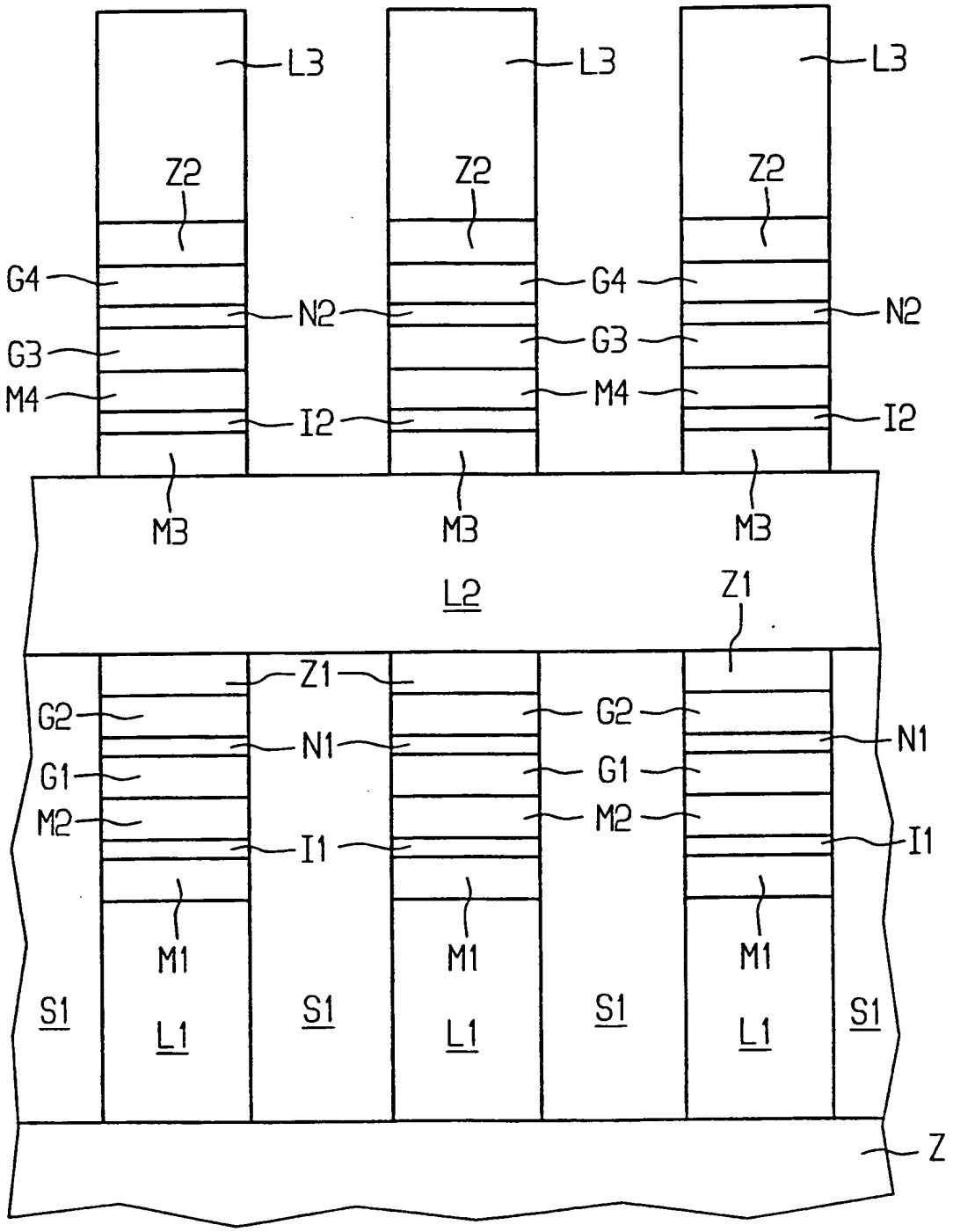
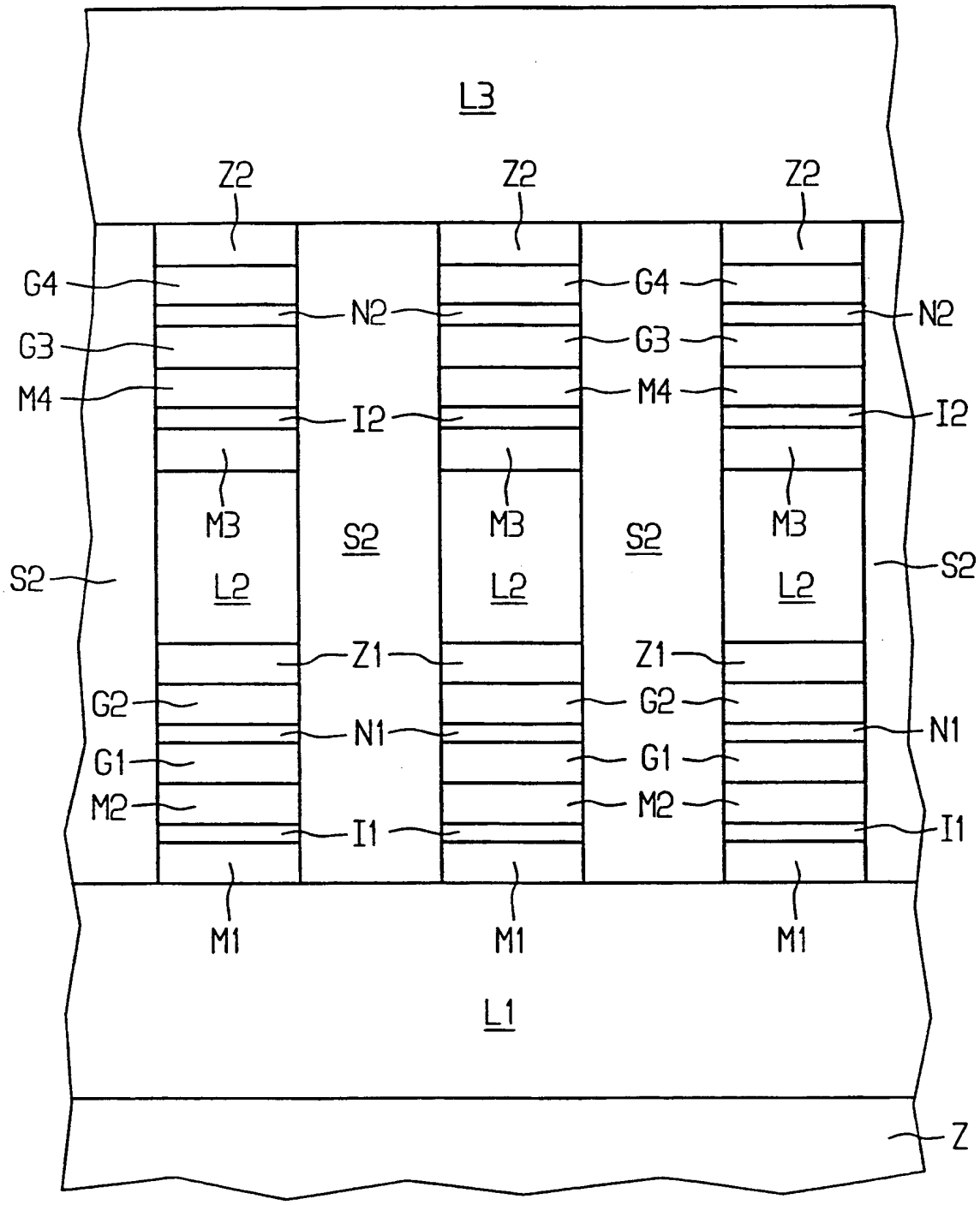

L3
L3
L3
Z2
Z2
Z2
G4
N2
G3
M4
I2
G4
G3
M4
N2
I2
M3
M3
M3
L2
Z1
Z1
G2
N1
G1
M2
I1
G2
G1
M2
N1
I1
M1
M1
M1
S1
L1
S1
L1
S1
L1
S1
Z

FIG 3B


L3
Z2
Z2
Z2
G4
N2
G4
N2
G3
G3
M4
M4
I2
I2
M3
M3
M3
S2
S2
S2
S2
L2
L2
L2
Z1
Z1
G2
G2
N1
N1
G1
G1
M2
M2
I1
I1
M1
M1
M1
L1
Z

INTERNATIONAL SEARCH REPORT

In ıtional Application No
PCT/DE 00/00590

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G11C11/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	DE 197 44 095 A (SIEMENS AG) 15 April 1999 (1999-04-15) the whole document ---	1,3,4,6, 7
A	US 5 640 343 A (SCHEUERLEIN ROY EDWIN ET AL) 17 June 1997 (1997-06-17) cited in the application column 10, line 58 -column 11, line 3 ---	2
A	US 3 972 059 A (DISTEFANO THOMAS HERMAN) 27 July 1976 (1976-07-27) column 5, line 30 -column 6, line 14 ---	1
	-/--	

[X] Further documents are listed in the continuation of box C.

[X] Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
9 June 2000	20/06/2000

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Degraeve, L

2

Form PCT/ISA/210 (second sheet) (July 1992)

BNSDOCID: <WO_____0057423A1_I_>

INTERNATIONAL SEARCH REPORT

Int .tional Application No
PCT/DE 00/00590

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 13, 30 November 1998 (1998-11-30) & JP 10 222817 A (HITACHI LTD), 21 August 1998 (1998-08-21) abstract	1

2

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. ional Application No
PCT/DE 00/00590

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 19744095 A	15-04-1999	WO 9918578 A	15-04-1999
US 5640343 A	17-06-1997	US 5793697 A	11-08-1998
US 3972059 A	27-07-1976	DE 2444160 A	10-07-1975
		FR 2256540 A	25-07-1975
		GB 1446380 A	18-08-1976
		JP 1017338 C	28-10-1980
		JP 50099281 A	06-08-1975
		JP 55007030 B	21-02-1980
JP 10222817 A	21-08-1998	NONE	

BNSDOCID: <WO_____0057423A1_I_>

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 00/00590

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G11C11/16

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P,A	DE 197 44 095 A (SIEMENS AG) 15. April 1999 (1999-04-15) das ganze Dokument	1,3,4,6, 7
A	US 5 640 343 A (SCHEUERLEIN ROY EDWIN ET AL) 17. Juni 1997 (1997-06-17) in der Anmeldung erwähnt Spalte 10, Zeile 58 -Spalte 11, Zeile 3	2
A	US 3 972 059 A (DISTEFANO THOMAS HERMAN) 27. Juli 1976 (1976-07-27) Spalte 5, Zeile 30 -Spalte 6, Zeile 14	1

-/--

[X] Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

[X] Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
9. Juni 2000	20/06/2000

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Degraeve, L

Formblatt PCT/ISA/210 (Blatt 2) (Juli 1992)

BNSDOCID: <WO_____0057423A1_I_>

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 00/00590

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 13, 30. November 1998 (1998-11-30) & JP 10 222817 A (HITACHI LTD), 21. August 1998 (1998-08-21) Zusammenfassung -----	1

Formblatt PCT/ISA/210 (Fortsetzung von Blatt 2) (Juli 1992)

BNSDOCID: <WO_____0057423A1_I_>

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Int ionales Aktenzeichen
PCT/DE 00/00590

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 19744095 A	15-04-1999	WO 9918578 A	15-04-1999
US 5640343 A	17-06-1997	US 5793697 A	11-08-1998
US 3972059 A	27-07-1976	DE 2444160 A	10-07-1975
		FR 2256540 A	25-07-1975
		GB 1446380 A	18-08-1976
		JP 1017338 C	28-10-1980
		JP 50099281 A	06-08-1975
		JP 55007030 B	21-02-1980
JP 10222817 A	21-08-1998	KEINE	

BNSDOCID: <WO_____0057423A1_I_>